

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2001-332643  
(P2001-332643A)

(43)公開日 平成13年11月30日 (2001.11.30)

(51)Int.Cl.<sup>7</sup>

H 01 L 23/12  
23/52  
25/04  
25/18

識別記号

F I

H 01 L 23/12  
23/52  
25/04

マーク一 (参考)

L  
D  
Z

審査請求 有 請求項の数10 OL (全 10 頁)

(21)出願番号 特願2000-147245(P2000-147245)

(22)出願日 平成12年5月19日 (2000.5.19)

(71)出願人 500224531

株式会社アイ・イー・ピー・テクノロジーズ  
東京都八王子市東浅川町550番地の1

(72)発明者 若林 猛

東京都八王子市東浅川町550番地の1 株  
式会社アイ・イー・ピー・テクノロジーズ  
内

(72)発明者 桑原 治

東京都八王子市東浅川町550番地の1 株  
式会社アイ・イー・ピー・テクノロジーズ  
内

(74)代理人 100096699

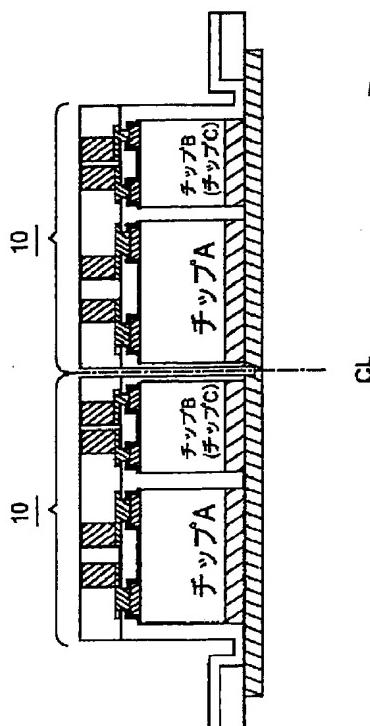
弁理士 鹿嶋 英實

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 信頼性を向上させつつマルチチップモジュール化することができる半導体装置およびその製造方法を実現する。

【解決手段】 ウエハ1-1～1-3の背面側に裏面側保護膜11を形成してから個片化し、これら個片化された半導体チップA, B, Cをマルチチップモジュールとなるよう並び替えた後、このモジュールの表面および側面を覆うと共に、チップ間隙を充填する第1の表面側保護膜3を形成し、続いて再配線5、ポスト6および第2の表面側保護膜7を設けた後、切断面に所定厚の表面保護膜3が残るようカットラインCLに沿って再度ダイシングしてマルチチップモジュール化された半導体装置10を形成するので、半導体装置10は背面、表面および側面が全て保護膜3, 11で覆われ、これにより信頼性が向上する。



## 【特許請求の範囲】

【請求項1】 個片化された複数個のウエハの半導体チップを一組としたチップモジュールから構成され、前記チップモジュールは、背面を覆う第1の保護膜と、表面およびモジュール毎に個片切断される時の切断面を覆うように形成された第2の保護膜とを具備することを特徴とする半導体装置。

【請求項2】 請求項1記載の発明において、前記各半導体チップは、表面側に柱状電極を有することを特徴とする半導体装置。

【請求項3】 請求項1または2記載の発明において、前記第2の保護膜は、下層および上層からなる積層構造を有し、前記下層上に再配線が形成されていることを特徴とする半導体装置。

【請求項4】 請求項1～3記載の発明において、前記各モジュール内の半導体チップは異なる種類の集積回路を有することを特徴とする半導体装置。

【請求項5】 請求項1～4記載の発明において、前記各モジュール内の半導体チップはスペースを設けて配置され、前記第2の保護膜は前記各半導体チップ間のスペース内に形成されていることを特徴とする半導体装置。

【請求項6】 ウエハの背面を覆う第1の保護膜を形成する第1の工程と、この第1の工程を経た複数個のウエハをチップに個片化し、各ウエハのチップを一組としたチップモジュールに並び替える第2の工程と、

前記チップモジュールの表面および側面を覆う第2の保護膜を形成する第3の工程と、

前記第2の保護膜が切断面に残るように、前記チップ間隙より狭い幅で前記チップモジュールを個片に切断する第4の工程とを具備することを特徴とする半導体装置の製造方法。

【請求項7】 請求項6記載の発明において、前記第1の工程における前記ウエハには表面側に柱状電極が形成されていることを特徴とする半導体装置の製造方法。

【請求項8】 請求項6または7記載の発明において、前記第3の工程における前記第2の保護膜を形成する工程は、第1の表面保護膜および第2の表面保護膜を形成する工程を有し、さらに前記第1の表面保護膜と前記第2の表面保護膜を形成する工程の間に前記第1の表面保護膜上に再配線を形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項9】 請求項6～8記載の発明において、前記第1の工程における前記複数個のウエハは、異なる種類のウエハを含むことを特徴とする半導体装置の製造方法。

【請求項10】 請求項6～9記載の発明において、前記第2の工程は前記チップモジュール内の各半導体チップを、スペースを設けて配置する工程を有し、前記第3の工程は、前記第2の保護膜を前記各半導体チップ間のスペース内に形成する工程を有することを特徴とする半

10

導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、CSP (Chip Size Package) 構造の半導体装置およびその製造方法に関する。

## 【0002】

【従来の技術】近年、チップとパッケージのサイズがほぼ等しくなるCSP構造の半導体装置が知られている。

図12～図15はこの種の半導体装置である、ウエハレベルCSPの一例を示す断面図である。以下、これら図面を参照してその製造工程について説明する。半導体装置は、まず図12に図示するように、ウエハ(シリコン基板)1の表面(回路面)側に複数の接続パッド(アルミニ電極)2を形成した後、図示していないが、各接続パッド2の中央部を露出するように、ウエハ1の表面側全面を覆う酸化シリコンや窒化シリコン等の保護皮膜を形成する。

【0003】そして、この保護被膜の上に、各接続パッド2の中央部分が開口するよう第1の表面側保護膜3を形成する。第1の表面側保護膜3は、例えばウエハ1の回路面側全面にポリイミド系樹脂材を塗布硬化させた後に、エッチング液を用いてレジストパターンニングおよび保護膜パターンニングを施してからレジスト剥離することで形成される。

【0004】次に、第1の表面側保護膜3が形成する開口部4を介して露出される各接続パッド2上に再配線5を形成する。再配線5は、後述する如く、切断されて個片化された各半導体装置の各接続パッド2に接続された柱状電極(後述のポスト6)を中心部にマトリクス上に配列することにより、各半導体装置の周辺部のみに形成された接続パッド2のピッチおよび電極面積を広げ、回路基板とのボンディング強度および接続の信頼性向上するためのものである。

【0005】再配線5を形成した後には、再配線5上の所定箇所に複数のポスト(柱状電極)6を設ける。ポスト6は、例えば100～150μm程度の厚さでポスト形成用のレジストを塗布硬化させ、レジストパターンニングを施し、これにより開口された部分に電解メッキを施すことによって形成される。こうして、図12に図示する構造となったら、図13に図示するように、ポスト6を覆うように、ウエハ1の回路面側全体をエポキシ等の樹脂材によってモールドし第2の表面側保護膜7を形成する。そして、この第2の表面側保護膜7を硬化させた後、ウエハ1全体を研削加工テーブルに移載し、研削装置にて第2の表面側保護膜7の上面側を研磨してポスト6の端面6a(図14参照)を露出させる。

【0006】この後、ウエハ1を所定厚にすべく背面側を研磨加工したり、研磨加工した背面側に製品番号やロット番号をマーキングする処理を施す。次いで、この背

30

40

50

面側を下向きにしてウエハ1をダイシングフレームに装着されたダイシングテープ上に載置した後、図15に図示する通り、カットライン8に沿ってウエハ1をダイシングすることによって、チップに個片化された半導体装置10が形成されるようになっている。

### 【0007】

【発明が解決しようとする課題】ところで、このようなウエハレベルCSP構造にてマルチチップモジュール化された半導体装置を実現するには、1つのモジュールに複数チップ分の再配線5やポスト6を配置できるように、個片化される半導体装置10の面積を広げるようにすれば良い。しかしながら、単に個片化される半導体装置10の面積を広げるようにも、図15に図示した断面構造から判るように、シリコン基板（ウエハ1）の側面（切断面を含む）や背面が露出した状態であるから、これがチップ破損や露出面からの水分浸透等、信頼性を低下させる要因になる、という問題がある。そこで本発明は、このような事情に鑑みてなされたもので、信頼性を向上させつつマルチチップモジュール化することができる半導体装置およびその製造方法を提供することを目的としている。

### 【0008】

【課題を解決するための手段】上記目的を達成するため、請求項1に記載の半導体装置では、個片化された複数個のウエハの半導体チップを一組としたチップモジュールから構成され、前記チップモジュールは、背面を覆う第1の保護膜と、表面およびモジュール毎に個片切断される時の切断面を覆うように形成された第2の保護膜とを具備することを特徴としている。

【0009】請求項6に記載の半導体装置の製造方法では、ウエハの背面を覆う第1の保護膜を形成する第1の工程と、この第1の工程を経た複数個のウエハをチップに個片化し、各ウエハのチップを一組としたチップモジュールに並び替える第2の工程と、前記チップモジュールの表面および側面を覆う第2の保護膜を形成する第3の工程と、前記第2の保護膜が切斷面に残るよう、前記チップ間隙より狭い幅で前記チップモジュールを個片に切断する第4の工程とを具備することを特徴とする。

【0010】本発明による半導体装置は、個片化された複数個のウエハの半導体チップを一組としたチップモジュールの背面を第1の保護膜で、表面およびモジュール毎に個片切断される時の切断面を第2の保護膜で覆うようにしたので、信頼性を向上させつつマルチチップモジュール化することができる。

【0011】また、本発明による半導体装置の製造方法では、背面を覆う第1の保護膜が形成された複数個のウエハを半導体チップに個片化し、各ウエハのチップを一組としたチップモジュールに並び替えた後、このチップモジュールの表面および側面を覆う第2の保護膜を形成し、この第2の保護膜が切斷面に残るよう、前記チッ

プ間隙より狭い幅でチップモジュールを個片に切断するので、個片化されたチップモジュールは背面、表面および側面が全て保護膜で覆われることになり、この結果、チップ破損や露出面からの水分浸透等、信頼性を低下させる要因を除去でき、信頼性を向上させつつマルチチップモジュール化することが可能になる。

### 【0012】

【発明の実施の形態】以下、図面を参照して本発明の実施の一形態について説明する。図1～図10は、実施の一形態による半導体装置の構造およびその製造工程を説明する為の断面図であり、これらの図において上述した従来例と共に通する部分には同一の番号を付してある。なお、この実施の一形態では、後述するように、種類が異なる3つのウエハ1-1～1-3からそれぞれ個片化される半導体チップA、B、Cを一組とするマルチチップモジュールを想定している。

【0013】本発明による製造工程では、先ず図1に図示する通り、表面側に複数の接続パッド2が形成された厚さt1のウエハ1について、その背面側を切削研磨して厚さt2=(1/3～2/3)t1のウエハ1に成形する。ウエハ1の表面側に形成された複数の接続パッド2は、工程の最終過程において切削により個片化されるモジュールの各半導体チップの周辺部に設けられているものであり、各半導体チップの接続パッド2間に形成された、図示しない集積回路素子に接続されているものである。なお、ウエハ1の表面側には該ウエハの全面を覆う、酸化シリコンや窒化シリコン等で形成された保護皮膜Pが形成されており、この保護皮膜Pには上記各接続パッド2の中央部を露出する開口部が形成されている。

【0014】次に、図2に図示するように、切削研磨されたウエハ1の背面側に、所定の膜厚となるよう保護樹脂（例えば、ポリイミド、エポキシ等の有機樹脂材）を塗布して裏面側保護膜11を形成する。裏面側保護膜11は、ポリイミドまたはエポキシ等の樹脂の単層であつてもよいが、これら複数の樹脂層の積層構造としても良い。

【0015】次に、裏面側保護膜11を硬化させ、この後はレーザーによりこの裏面側保護膜11上にロット番号や製品番号などをマーキングする（図3参照）。マーキング完了後には、図4に示すように、ダイシングフレーム20に装着されたダイシングテープ21上に、裏面側保護膜11が対向するようにウエハ1をマウントする。ウエハ1をダイシングテープ21上にマウントしたら、予め定められたカットラインCLに沿ってウエハ1に切削溝1aを刻設するダイシング処理を施す。この際、裏面側保護膜11はフルカットし、個片化された各半導体チップをダイシングテープ21から個々に剥離か可能な状態とする。

【0016】さて、種類が異なるウエハ1-1～1-3に対し、図1～図4に示した工程を施し、これによりウ

エハ1-1～1-3からそれぞれ半導体チップA、B、Cが個片化されたとする(図5(イ)～(ハ)参照)。上記において、種類が異なるエハとは、切断による個片化される各半導体チップA、B、Cの内部に形成された集積回路が相違するものを意味する。上記各半導体チップA、B、Cをそれぞれ、ダイシングテープ20から剥離して、別のダイシングテープ20上に、図5(ニ)に示すように、半導体チップA、B、Cの1個づつが一組となるようにブロック分けして装着する。

【0017】このとき、各半導体チップA、B、Cの対向面間には適宜なスペースを設けるようにする。また、各ブロック間にも適宜なスペースを設けるようするが、この各ブロック間のスペースを、各ブロック内の半導体チップA、B、Cそれぞれの対向面間のスペースよりも大きくしておくことが、各マルチチップモジュールのサイズを小さくする上で望ましい。この際、各ブロック内の半導体チップA、B、Cの対向面間にはスペースが無いようにしてもよい。なお、本実施形態では、半導体チップAの巾方向に適当なスペースを設けて半導体チップB、Cが配置される場合とする。

【0018】こうした並べ替えが完了した後には、図6に図示する通り、各半導体チップA、B、Cに対し、その側面(周囲面)を覆うと共に、表面側に設けられた各接続パッド2の中央部分を開口させながら、再配置された各半導体チップの間隙を充填するよう表面を覆う第1の表面側保護膜3を形成する。

【0019】この第1の表面側保護膜3は、再配置された各半導体チップA、B、Cの表面側に形成された保護皮膜P、この保護皮膜Pの開口部から露出する各接続パッド2上、各半導体チップA、B、Cの側面および各チップの間隙を充填するよう、例えばポリイミド系樹脂材を塗布してスピンドルコートすることにより形成する方法が望ましいが、スピンドルコートに限らず、スクリーン用いる印刷法やノズルからのインク吐出による塗布法等適宜な手法を用いることが可能である。

【0020】次に、このようにして各半導体チップA、B、Cの表面に形成された第1の表面側保護膜3を硬化させた後に、その側面および上面にフォトレジストを塗布し(図示せず)、その後、表面側については該フォトレジスト(図示せず)および表面側保護膜3を順次パターニングする。これにより、この第1の表面側保護膜3に、前述した従来例と同様、各接続パッド2の中央部を露出する開口部4を形成してからフォトレジストを剥離する。

【0021】この後、図6中の要部Mを拡大した図7に図示するように、第1の表面側保護膜3に形成された開口部4を介して露出される接続パッド2上に再配線5を形成する。再配線5は、フォトレジスト剥離後の表面側保護膜3にスパッタ処理等によりUBM層を堆積させ、この後に再配線用のフォトレジスト塗布硬化し、フォト

リソグラフィ技術により、再配線用のフォトレジストを図7に図示される再配線5が形成されるよう、所定形状の開口を有するパターニングを施した後、このレジストによって開口された部分に電解メッキを施すことで形成される。なお、この電解メッキにより再配線5を形成する状態では、表面側保護膜3の全表面上に堆積されたUBM層は、ダイシングフレーム20上に蒸着されたUBM層部分も含めてメッキ電極として残されている。

【0022】このようにして、一端が各接続パッド2に接続され、他端が表側保護膜3上を、切断により個片化されるモジュールの各半導体チップの中央側に延出される各再配線5を形成した後は、各再配線5上の上記他端上に所定箇所にポスト(柱状電極)6を設ける。ポスト6は、図示しないが、例えば100～150μm程度の厚さでポスト形成用のフォトレジストを塗布、硬化させた上、各再配線5の他端の中央部を露出する開口部を形成し、この開口部内に電解メッキを施すことで形成される。この電解メッキを施す際、第1の表面側保護膜3の全表面上およびダイシングフレーム20上に蒸着されたUBM層が一方の電極として用いられる。なお、このメッキ処理後にはポスト形成用のフォトレジストを剥離しておくと共に、不要部分に蒸着されたUBM層をエッチングにより除去しておく。図7はこの工程が完了した状態の拡大断面図である。

【0023】こうして、図7に図示した構造が形成された後は、図8に図示するように、ポスト6を覆うように、各半導体チップA、B、Cの回路面全体をポリイミドあるいはエポキシ等の樹脂材によってモールドして第2の表面側保護膜7を形成する。第2の表面側保護膜7は、ポリイミド、エポキシ等の单層からなるものでもよいが、これら樹脂層の積層構造としてもよい。この場合、上述せる裏面側保護層11、第1の表面側保護層3および第2の表面側保護膜7は、環境変化に対応する信頼性を確保する上で、主成分が実質的に同一な材料を含む樹脂層で形成することが望ましい。

【0024】そして、この第2の表面側保護膜7を硬化させ、次に、その上面側を研磨してポスト6の端面6a(図8参照)を露出させる。露出した端面6aについては、その表面の酸化膜を取り除き、そこにハンド印刷等のメタライズ処理を施す。この後、図10に示すように、切断面に所定厚の第1の表面側保護膜3が残るようカットラインCLに沿ってダイシングし、これにより半導体チップA、B、Cを1つのモジュールとする半導体装置10が形成される。

【0025】以上説明したように、本発明の実施の一形態によれば、種類が異なるエハ1-1～1-3について、それぞれ背面側に裏面側保護膜11を形成してから個片化し、これら各エハから個片化された半導体チップA、B、Cを良品選別してマルチチップモジュールとなるよう並び替え、並び替えた各チップA、B、Cの表

面および側面を覆うと共に、チップ間隙を充填する第1の表面側保護膜3を形成し、続いて再配線5、ポスト6および第2の表面側保護膜7を設けた後、切断面に所定厚の第1の表面側保護膜3が残るようにカットラインCLに沿って再度ダイシングしてマルチチップモジュール化された半導体装置10を形成するので、半導体装置10は背面、表面および側面が全て保護膜3、11で覆われることになり、この結果、チップ破損や露出面からの水分浸透等、信頼性を低下させる要因を除去でき、信頼性が向上する訳である。

【0026】また、この実施の形態にあっては、ダイシングフレーム20上に蒸着されたUBM層をメッキ電極として残すようにしたので、従来のように、ウエハ1上に別途に電極形成せずとも再配線5やポスト6を形成する電解メッキ処理を行うことが可能になっている。さらに、この実施の形態では、半導体装置10の背面、表面および側面の全てを保護膜3、11で覆う為、個片化された半導体装置10をトレイに移載する時などのハンドリングが極めて容易になる。

【0027】なお、上述した実施の形態では、半導体チップA、B、C上に形成されるポスト6の間隔をそれぞれの半導体チップの大きさに合わせて異なるように図示されているが、実際には、ボンディング時の条件を均一にするために、ほぼ均一の間隔とすることが望ましい。その場合、保護膜上に形成される再配線5の一部を各半導体チップA、B、Cの境界を越えて隣接の半導体チップ側に延出し、その端部にポスト6を設けるようにしてもよい。

【0028】また、上記実施の形態では、種類の異なる複数種のウエハから切断された半導体チップを一組としたマルチチップモジュール化された半導体装置を形成する場合で説明したが、各ウエハから切断される半導体チップが同一のものであっても、良品だけを選別して並び替えたり、あるいはマルチチップモジュール間のスペースを広げるために並び替える場合にも適用できる。

【0029】また、上記においては、個片化された半導体チップA、B、Cをマルチチップモジュール化すべく再配置するようにしたが、この発明はシングルチップを製造する際にも適用可能である。すなわち、裏面側保護膜11を形成した後のダイシング工程において、例えば図11(イ)に示すように、ウエハ1をダイシングして個片化したら、個片化された半導体チップの内から良品のみを選別して同図(ロ)または同図(ハ)に図示する形態で並べ替え、この後、図6以降に図示した第1の表面側保護膜3、再配線5、ポスト6、第2の表面側保護膜7を形成するようにしても良い。

【0030】こうした並び替えを行う際に各半導体チップ間のスペースを広げる等、任意に設定することが可能となり、ウエハ1を半導体チップに個片化して半導体装置10を形成する際に、各半導体装置10の側面に形成

される第1の表面側保護膜3の厚さを充分なものにしたり、最終的に仕上がる半導体装置10の寸法を調整することもできる。

【0031】また、上述した実施形態では、各半導体チップA、B、C上に再配線5を形成し、この再配線5上にポスト6を形成する半導体装置に関するものとしたため、表面側保護膜を2層の積層構造としたが、本発明は、各半導体チップA、B、C上に再配線5を形成せずに直接、ポスト6を形成する半導体装置にも適用することが可能であり、その場合には、表面側保護膜を単層化することができる。

### 【0032】

【発明の効果】請求項1に記載の発明によれば、個片化された複数個のウエハの半導体チップを一組としたチップモジュールの背面を第1の保護膜で、表面およびモジュール毎に個片切断される時の切断面を第2の保護膜で覆うようにしたので、信頼性を向上させつつマルチチップモジュール化することができる。また、請求項6に記載の発明によれば、背面を覆う第1の保護膜が形成された複数個のウエハをチップに個片化し、各ウエハのチップを一組としたチップモジュールに並び替えた後、このチップモジュールの表面および側面を覆う第2の保護膜を形成し、この第2の保護膜が切断面に残るように、前記チップ間隙より狭い幅でチップモジュールを個片に切断するので、個片化されたチップモジュールは背面、表面および側面が全て保護膜で覆われることになり、この結果、チップ破損や露出面からの水分浸透等、信頼性を低下させる要因を除去でき、信頼性を向上させつつマルチチップモジュール化することができる。

### 【図面の簡単な説明】

【図1】本発明の実施の形態を説明する為の断面図であり、半導体装置製造工程の最初の状態を示す断面図である。

【図2】図1に続く半導体装置の製造工程を説明する為の断面図である。

【図3】図2に続く半導体装置の製造工程を説明する為の断面図である。

【図4】図3に続く半導体装置の製造工程を説明する為の断面図である。

【図5】図4に続く半導体装置の製造工程を説明する為の断面図である。

【図6】図5に続く半導体装置の製造工程を説明する為の断面図である。

【図7】図6に続く半導体装置の製造工程を説明する為の断面図である。

【図8】図7に続く半導体装置の製造工程を説明する為の断面図である。

【図9】図8に続く半導体装置の製造工程を説明する為の断面図である。

【図10】図9に続く半導体装置の製造工程を説明する

為の断面図である。

【図11】変形例を説明するための平面図である。

【図12】従来例の半導体装置の製造方法を説明するための断面図である。

【図13】図12に続く工程を説明するための断面図である。

【図14】図13に続く工程を説明するための断面図である。

【図15】図14に続く工程を説明するための断面図である。

【符号の説明】

\* 1 ウエハ

2 接続パッド

3 第1の表面側保護膜（第2の保護膜）

4 開口部

5 再配線路

6 ポスト

7 第2の表面側保護膜

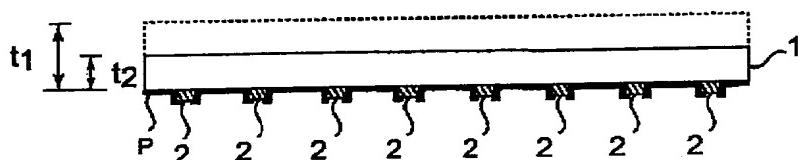
10 半導体装置

11 裏面側保護膜（第1の保護膜）

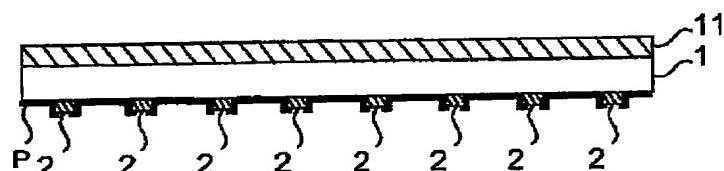
10 20 ダイシングフレーム

\* 21 ダイシングテープ

【図1】

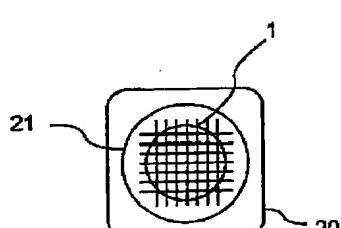


【図2】

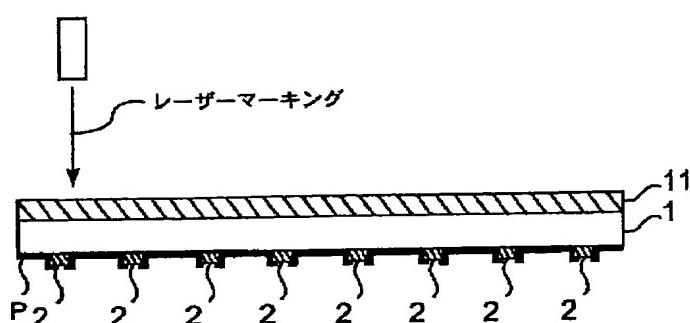


【図11】

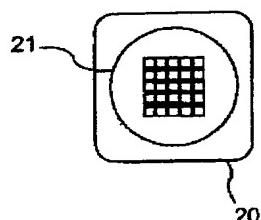
(イ)



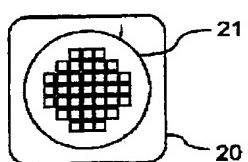
【図3】



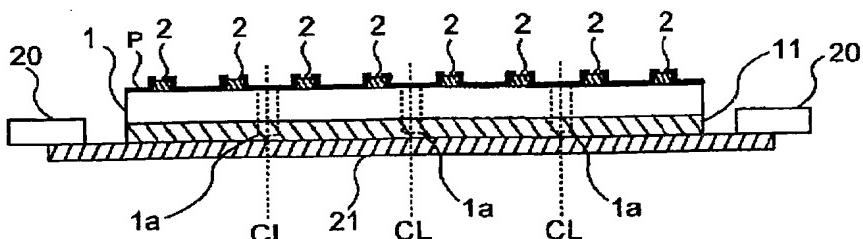
(ロ)



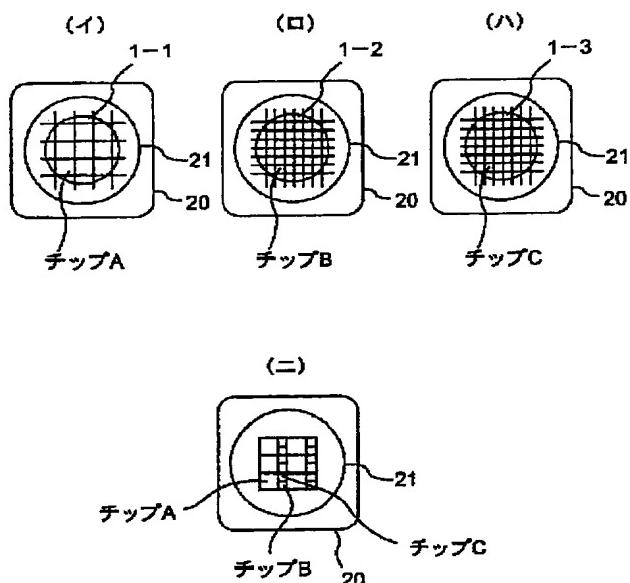
(ハ)



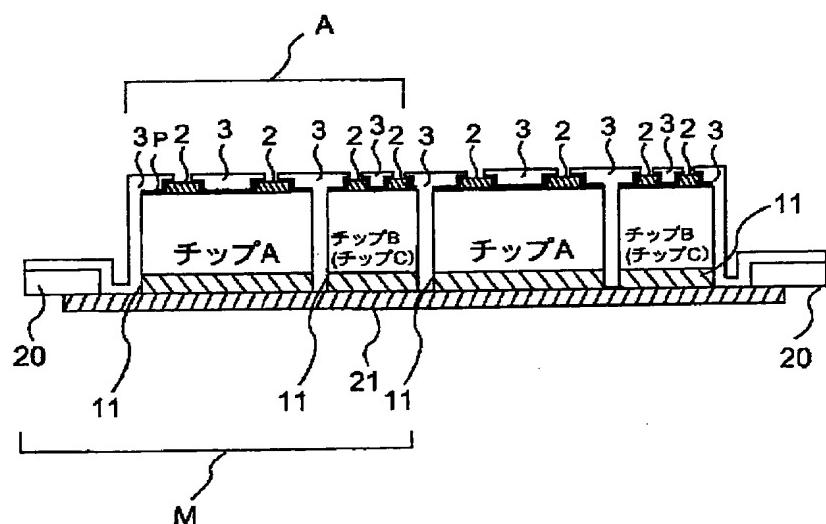
【図4】



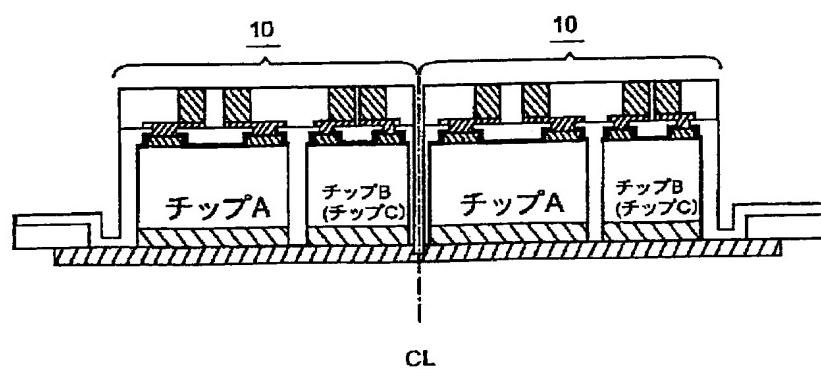
【図5】



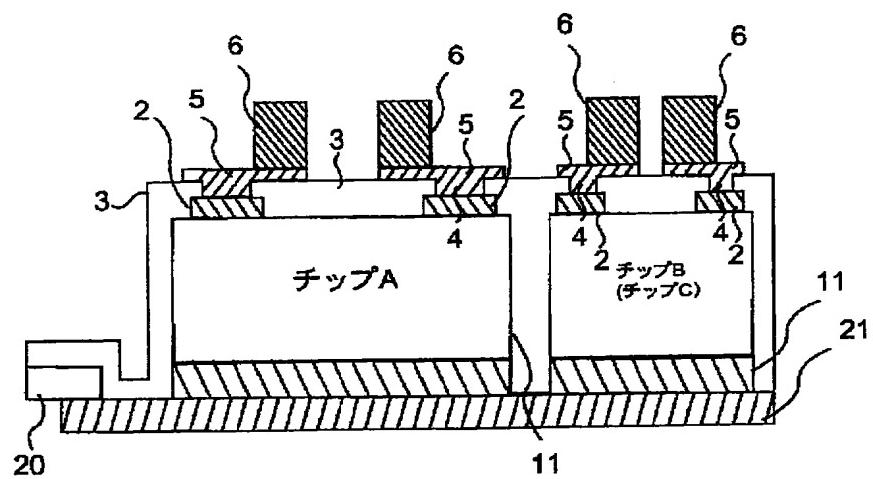
【図6】



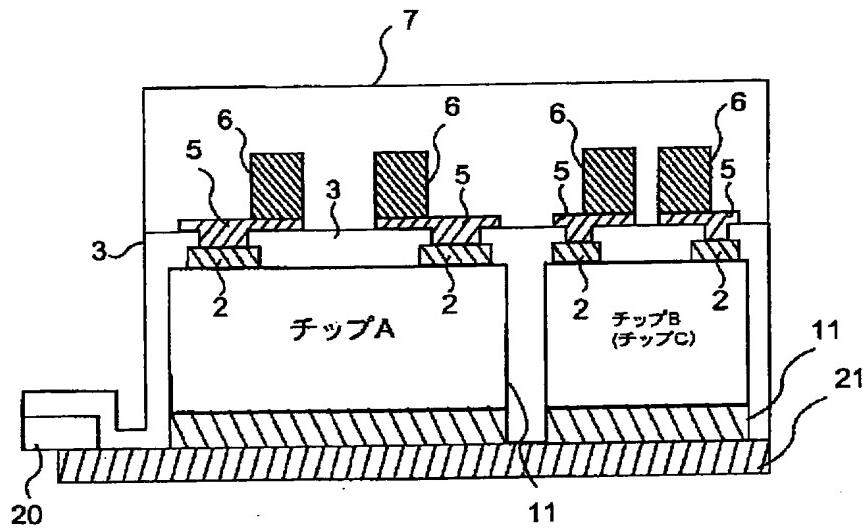
【図10】



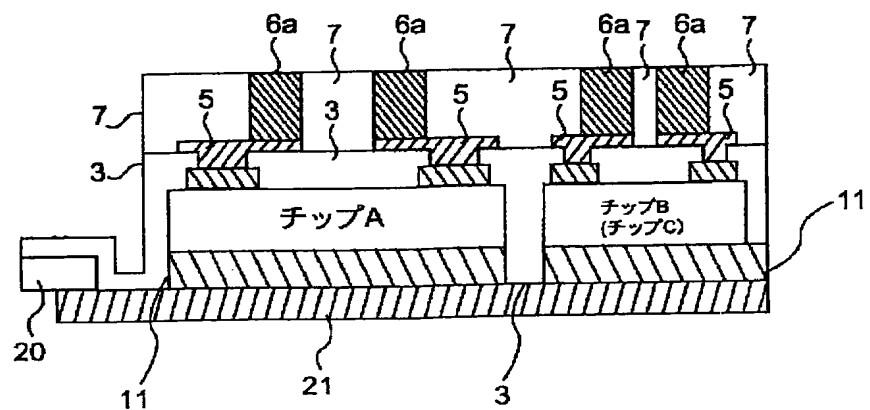
【図7】



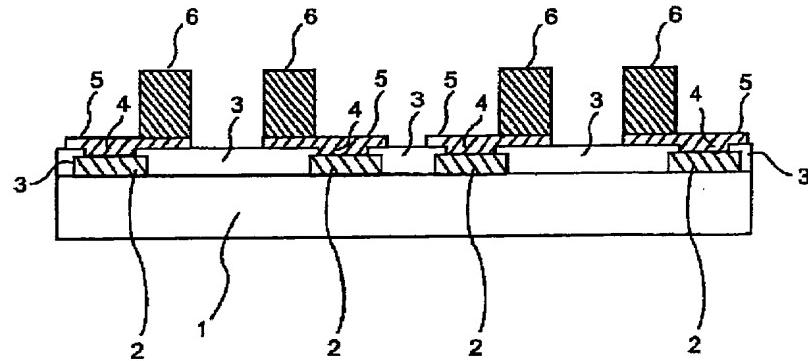
【図8】



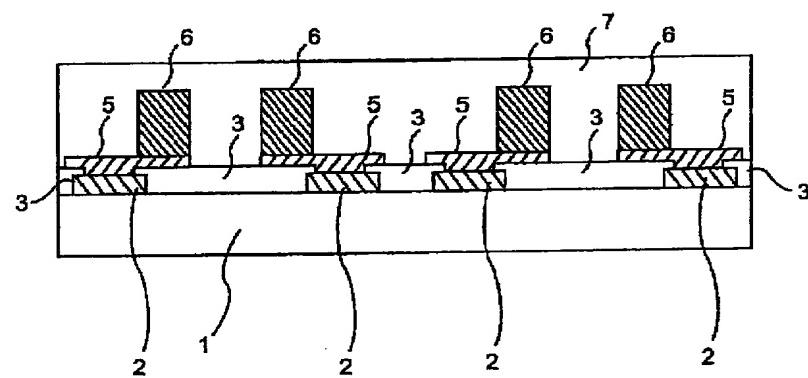
【図9】



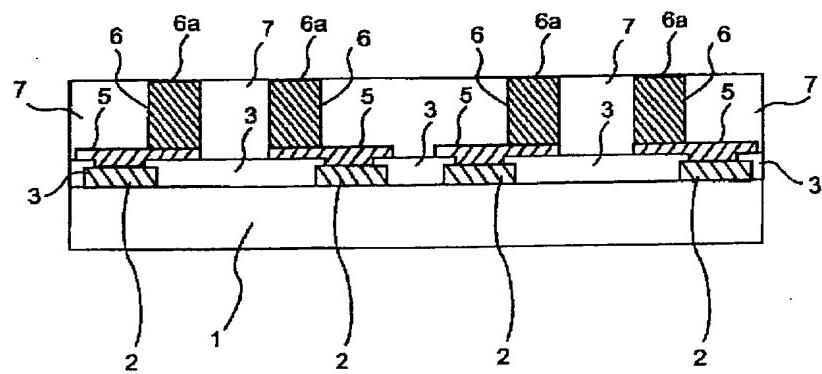
【図12】



【図13】



【図14】



【図15】

